

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-315816
 (43)Date of publication of application : 14.11.2000

(51)Int.Cl. H01L 33/00
 H01L 21/301

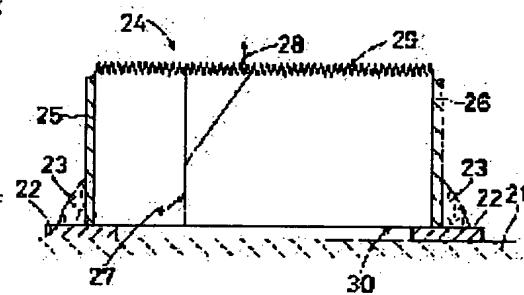
(21)Application number : 11-122623 (71)Applicant : SHARP CORP
 (22)Date of filing : 28.04.1999 (72)Inventor : IKEHARA MASAHIRO

(54) SEMICONDUCTOR LIGHT EMITTING ELEMENT AND MANUFACTURE OF THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To efficiently manufacture a semiconductor light emitting element whose light emitting efficiency can be made satisfactory starting from the state of a wafer.

SOLUTION: A semiconductor light emitting element 24, on whose surface side electrodes 25 and 26 are formed in the state of a wafer, is mounted so as to be laterally placed on a surface mounting surface 21. At the cutting of the semiconductor light emitting element 24 from the wafer state by dicing, a chip-ceiling face 29 is finally cut. At the cutting of the chip-ceiling face 29, a chip bottom face 30 or the other side face are already cut so that an area for holding the semiconductor light emitting element 24 by an adhesive sheet or the like can be reduced, and the roughness of the surface to be cut by a dicing blade can be increased. Thus, the roughness of the surface of the chip ceiling face 29 can be increased, and probability that emitted lights 28 to be generated from a P-N junction face 27 are extracted to the outside part without being fully reflected on the inner face of the chip-ceiling face 29 can be increased, and attenuation in the chip of the semiconductor light emitting element 24 can be decreased, and light intensity can be increased.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-315816
(P2000-315816A)

(43)公開日 平成12年11月14日 (2000.11.14)

(51) Int.Cl.
H 01 L 33/00
21/301

識別記号

F I
H 01 L 33/00
21/78テ-マコ-ト (参考)
A 5 F 0 4 1
A

審査請求 未請求 請求項の数 5 O L (全 6 頁)

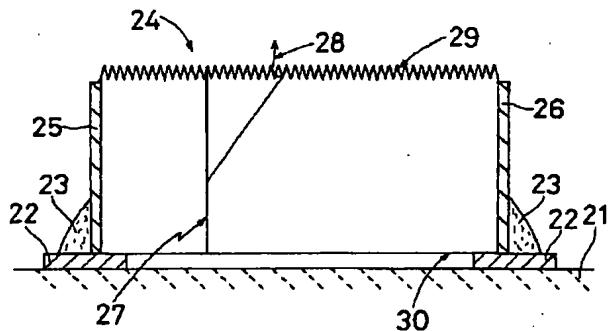
(21)出願番号 特願平11-122623
(22)出願日 平成11年4月28日 (1999.4.28)(71)出願人 000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町22番22号
(72)発明者 池原 正博
大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内
(74)代理人 100075557
弁理士 西教 圭一郎
Fターム(参考) 5F041 AA03 AA07 CA14 CA37 CA38
CA76 DA02 DA09 DA20

(54)【発明の名称】 半導体発光素子およびその製造方法

(57)【要約】

【課題】 発光効率の良好な半導体発光素子を、ウエハの状態から効率よく製造する。

【解決手段】 ウエハの状態で表面側に電極25, 26が形成される半導体発光素子24は、表面実装基板21、上に横置型の状態で実装される。ウエハ状態から半導体発光素子24をダイシングによって切断する際にチップ天面29を最後に切断する。チップ天面29を切断する際には、チップ底面30や他の側面はすでに切断されているので、粘着シートなどで半導体発光素子24を保持する面積が小さくなり、ダイシングブレードで切断する際の表面の粗度が大きくなる。チップ天面29の表面粗度が大きいので、P N接合面27から発生される発光光28が、チップ天面29の内面で全反射をしないで外部に取出される確率が大きくなり、半導体発光素子24のチップ内部での減衰を小さくして、光度を向上させることができる。



【特許請求の範囲】

【請求項1】 ウエハ状の半導体材料に複数個同時に形成され、機械的な切断によって分離され、予め定める切断面の1つから発光出力が取出される半導体発光素子において、
切断は、発光出力が取出される切断面に垂直および平行な方向にそれを行われ、直方体の形状を有し、
発光出力が取出される切断面の粗度は、他の切断面よりも大きいことを特徴とする半導体発光素子。

【請求項2】 表面実装に使用され、前記発光出力が取出される切断面は、実装時に天面となることを特徴とする請求項1記載の半導体発光素子。

【請求項3】 表面実装に使用され、実装時の天面と底面との間隔が側面間の間隔より小さいことを特徴とする請求項1または2記載の半導体発光素子。

【請求項4】 ウエハ状の半導体材料に複数個同時に形成される半導体発光素子を切断して分離する半導体発光素子の製造方法において、
各半導体発光素子の切断を、発光出力が取出される面の切断が最後となるように行うことを特徴とする半導体発光素子の製造方法。

【請求項5】 前記半導体発光素子は直方体の形状を有し、
前記ウエハ状の半導体材料に対して、前記発光出力が取出される面に垂直な方向の切断を先に行い、
該発光出力が取出される面に平行な方向の切断は、各半導体発光素子に対して、該発光出力が取出される面に對向する面が先に切断されるように行うことを特徴とする請求項4記載の半導体発光素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体ウエハから機械的な切断によって分離し、切断面の1つから発光出力を取出す半導体発光素子およびその製造方法に関する。

【0002】

【従来の技術】 従来から、発光ダイオード（以下「LED」と略称する）などの半導体発光素子は、半導体ウエハに多数個を同時に形成し、ウエハの両面に電極を形成した後、ダイシングあるいはスクライプなどの機械的な切断処理で個々の半導体発光素子へのチップ分割を行って製造している。分割された半導体発光素子は、電気配線基板などへの実装方式から、ウエハの一面のみを電気配線基板に接触させる縦置型とウエハの両面を電気配線基板に接触させる横置型とに大別される。

【0003】 図7は、特公昭56-44591の第1図として示されている縦置型の実装状態を示す。電気絶縁性の基台1の主面に外部リード2に接続される導電体3を所定のパターンで形成しておく。半導体発光素子4は、その表面に形成される電極5が導電体3とろう層6

とによって電気的に接合される。導電体3にろう層6で接合される電極5と対向する側にも電極5が設けられ、細線7をワイヤボンドによって導電体3に電気的に接続する。

【0004】 図7に示すような縦置型の半導体発光素子4は、細線7によるワイヤボンドの信頼性を高めるために、細線7は電極5と導電体3との間を直線状に接続するのではなく、ループを形成するように接続する必要がある。このため、ループを形成するための高さが必要となり、薄形化の障害となる。

【0005】 図8は横置型の実装形態の概要を示す。表面実装基板11上には、導電パターン12が形成され、導電ペースト13で半導体発光素子14を固定しながら電気的接続を行う。半導体発光素子14は、ウエハの状態での表面および裏面に電極15、16が形成され、電極15、16が導電パターン12と導電ペースト13によって接合される。ウエハ状態では表面に対して平行に形成されるPN接合面17は、表面実装基板11の表面に対して垂直な状態で実装される。半導体発光素子14は、表面実装方式で実装されるので、ワイヤボンドの必要はなく、全体を薄形化することができる。

【0006】 前述の特公昭56-44591は、図7に示すような縦置型の半導体発光素子4では、表面に細線7があるので、発光の外部効率が低下する対策として、図8と同様な横置型とする提案を行っている。さらに特開昭54-22186や特開平6-177435にも、縦置型を横置型にしてワイヤボンドを廃止し、生産性を向上する先行技術が開示されている。本件出願人は、特開平10-242533で、横置型のLEDチップの少なくとも底面に電気絶縁膜を形成し、半導体素子の結晶面が他の部分に接触することを防ぐ先行技術を開示している。

【0007】

【発明が解決しようとする課題】 図7に示すような縦置型に比較して、図8に示すような横置型では、表面実装法を採用して、ワイヤボンドを不要とし、薄形化を図ることができる。図8に示すような実装状態で、半導体発光素子14は、PN接合面17で発光を行う。PN接合面17で発光された発光光18は、チップ天面19から外部に照射される。半導体発光素子14を実装した際の素子高さを低く抑えるために、ウエハ分割のダイシングにおいて、少なくともチップ天面19とチップ底面20との間の高さを定めるダイシングピッチは極力小さく設定する必要がある。また半導体発光素子14の一辺を短くすると、ダイシング時に半導体発光素子14のチップがダイシングブレードから受ける力によって、ウエハを固定している粘着シートから剥がれるのを防ぐために、他の一辺は半導体発光素子14のチップが粘着シートと接着する充分な面積を確保することができるよう、ある程度の長さを有する必要がある。すなわち、半導体発

光素子14の厚さを薄くしようとすれば、チップ天面19およびチップ底面20の紙面に垂直な一辺の長さとして、半導体発光素子14のチップが粘着シートと接着する充分な面積を確保することができるようとする必要がある。

【0008】このように長さについて調整を行った後でも、ダイシング工程で切断されるチップが、最後にダイシングブレードに接触する面は、半導体発光素子14のチップの固定が他の面を切断する場合と比較して不充分となるので、振動等によってこの面は他の端面よりも粗くなってしまう。このため、ダイシング時に半導体発光素子4のチップがダイシングブレードから受ける力によって粘着シートから剥がれるのを防ぐのに必要な最小限の接着面積しかもたない小さな半導体発光素子14のチップをダイシング装置によって切断する場合、最後に切断された面のみ他の端面とは異なった切断面の状態となってしまう。

【0009】ダイシング時の切断面は、結晶のダメージが大きく、そのままでは電気的なリーカや光学的な吸収が大きくなり、通常はエッチングなどによってダメージ等の除去を行って平坦にする。ただし、ダメージ等の除去を充分に行った状態でも、4つの切断面の凹凸の状態は同じようにはならない。仮に充分長い時間エッチングを行おうとすると、すでに形成されている電極や、エッチング中に電極を保護する膜にダメージを与えること、あるいは結晶方位特有のエッチングレートの異方性が顕在化し、4つの面を同じ状態にすることはできなくなる。

【0010】本発明の目的は、ダイシング時に最後に切断する面の粗度が大きくなることを利用して、発光効率を高めることができる半導体発光素子およびその製造方法を提供することである。

【0011】

【課題を解決するための手段】本発明は、ウエハ状の半導体材料に複数個同時に形成され、機械的な切断によって分離され、予め定める切断面の1つから発光出力が取出される半導体発光素子において、切断は、発光出力が取出される切断面に垂直および平行な方向にそれぞれ行われ、直方体の形状を有し、発光出力が取出される切断面の粗度は、他の切断面よりも大きいことを特徴とする半導体発光素子である。

【0012】本発明に従えば、ウエハ状の半導体材料に半導体発光素子が複数個同時に形成される。各半導体発光素子は、機械的な切断によって分離され、予め定める切断面の1つから発光出力が取出される。半導体発光素子が直方体の形状を有し、発光出力が取出される切断面に垂直平行な方向にそれぞれ切断が行われる。発光出力が取出される切断面の粗度は、他の切断面よりも大きいので、半導体発光素子の内部から発生される光がその切断面から外部に出る際には、入射角が浅すぎて全反射し

てしまう可能性が小さくなり、半導体発光素子内部での減衰が少ない状態で外部に取出すことができ、発光効率を高めることができる。切断面の粗度は、切断の順序を最後にすることによって大きくすることができる。

【0013】また本発明で表面実装に使用され、前記発光出力が取出される切断面は、実装時に天面となることを特徴とする。

【0014】本発明に従えば、表面実装時に天面となる切断面から効率よく発光出力を取出すことができるの10で、基板などに表面実装した状態で効率よく半導体発光素子を使用することができる。

【0015】また本発明は、表面実装に使用され、実装時の天面と底面との間隔が側面間の間隔より小さいことを特徴とする。

【0016】本発明に従えば、表面実装時に、天面と底面との間隔が側面間の間隔よりも小さいので、半導体発光素子を実装した状態で薄形化を図ることができる。

【0017】さらに本発明は、ウエハ状の半導体材料に複数個同時に形成される半導体発光素子を切断して分離する半導体発光素子の製造方法において、各半導体発光素子の切断を、発光出力が取出される面に切断が最後となるように行うことを特徴とする半導体発光素子の製造方法である。

【0018】さらに本発明によれば、ウエハ状の半導体材料から半導体発光素子を切断して分離する際に、発光出力が取出される面の切断が最後となるように各半導体発光素子の切断を行うので、発光出力が取出される面の切断を行う際に、吸着シートなどによる保持力が弱くなり、切断面の粗さが他の切断面に比較して大きくなる。粗さが大きい切断面から発光出力を取出すので、半導体発光素子内部での減衰が少ない状態で発光出力を外部に取出すことができ、発光効率を高めることができる。

【0019】また本発明で、前記半導体発光素子は直方体の形状を有し、前記ウエハ状の半導体材料に対して、前記発光出力が取出される面に垂直な方向の切断を行い、該発光出力が取出される面に平行な方向の切断は、各半導体発光素子に対して、該発光出力が取出される面に対向する面が先に切断されるように行うことを特徴とする。

【0020】本発明に従えば、ウエハ状の半導体材料から複数の半導体発光素子を切断して分離する際に、発光出力が取出される面に平行な方向の切断は、発光出力が取出される面に垂直な方向の切断の後で行い、各半導体発光素子については、発光出力を取出す面の切断が最後となるように切断するので、ウエハ状の半導体材料から順に発光効率を高めた半導体発光素子を得ることができる。

【0021】

【発明の実施の形態】図1は、本発明の実施の一形態の50光半導体素子の実装状態を示す。本実施形態では、表面

実装基板21の導電パターン22に、導電ペースト23で横置型の半導体発光素子24を実装する。半導体発光素子24は、たとえばLEDであり、ウエハ状の半導体材料に多数個が同時に形成され、ダイシング工程で機械的に切断されて分離される。

【0022】半導体発光素子24は、ウエハの状態で表面および裏面となる側に、電極25、26をそれぞれ有する。発光を行うPN接合面27は、ウエハの状態の表面に平行であり、横置型の実装状態では、表面実装基板21の表面に対して垂直となる。発光光28は、PN接合面27から発生され、チップ天面29から外部に取出される。チップ天面29は、チップ底面30や他の側面に比較して、表面の粗度が大きい状態となっている。図1では、チップ天面29の粗度が大きいことを誇張している。半導体発光素子24は、たとえばガリウムリン

(GaP) やガリウムひ素リン(GaAsP) のような屈折率が約3.5程度と大きな結晶を利用して形成するために、発光光28が半導体発光素子24のチップ外部に出てくるには、結晶界面にほぼ直角に入射する必要がある。屈折率3.5の場合には、約17°以内の入射角が必要である。チップ天面29がラフになっているので、チップ天面29で発光光28が何回か全反射を繰返したとしも、全反射から全反射までのパスが短い状態で外部に出てくることができる。このため、半導体発光素子24内部での前進の程度が小さな状態で出射することができる確率が高くなり、したがってチップ光度を向上させることができる。

【0023】図7に示すように、光半導体素子14のチップ天面19を平坦にしておくと、発光光18が半導体発光素子14内部で全反射を繰返し、半導体発光素子14のチップ内で吸収を受けながら出射可能な角度で半導体発光素子14のチップ表面に入射するようになるまで減衰してしまう。本実施形態では、図2に拡大して示すように、チップ天面29の細かな凹凸を利用して、発光光28を効率よく外部に取出すことができる。

【0024】図3は、半導体発光素子24を表面実装法でアセンブリするときの設置状態を示す。半導体発光素子24はチップ底面30で図1に示す表面実装基板21に接触する。アセンブリ時のチップ天面29およびチップ底面30と、側面31、32とが、ウエハ状の半導体材料からの切断面である。電極25、26は、ウエハ面の両側に形成される。ウエハ面はきわめて平坦に仕上げられている。

【0025】図4は、半導体材料のウエハ40から、本実施形態の半導体発光素子24を切出す際の分割状態を示す。先に切断を行うダイシングライン41は、図3の側面31、32に対応する切断を行う。後に切断を行うダイシングライン42は、図3のチップ底面30およびチップ天面29に対応する切断を行う。切断順序43は、各半導体発光素子24について、チップ底面30側

が先に切断され、チップ天面29側が最後に切断されるような順序にする。

【0026】図5は、本実施形態による光半導体素子24の製造工程の概要を示す。ステップs1から製造工程を開始し、ステップs2では、ウエハプロセスでウエハ40上に複数の半導体発光素子24を同時に形成する。ステップs3からダイシング工程を開始し、ステップs3ではウエハ40の裏面に粘着シートを貼付ける。ステップs4では、図4の先に切断を行うダイシングライン41の切断を行う。次にステップs5で後に切断を行うダイシングライン42の切断を行う。この際の順序は、図4の切断順序43に従う。ステップs6では、粘着シートから各半導体発光素子24を分離し、たとえば向きを揃えてキャリアテープなどに貼付ける。また、性能試験なども行って、ステップs7で手順を終了する。

【0027】図6は、図4で後に切断を行うダイシングライン42を切断する状態を示す。ウエハ40は粘着シート44に貼付けられ、ダイシングブレード45によって切断される。後に切断を行うダイシングライン42に関して、切断順序43の後方側の半導体発光素子24aについては、最後の切断となる。チップ底面30側はすでに切断されているので、ダイシングブレード45から受ける力を半導体発光素子24aのみで受けなければならない。このため、チップ天面29は粗度が大きくなってしまう。一方、切断順序43で後から切断される半導体発光素子24bについては、ダイシングブレード45が切断している後に切断を行うダイシングライン42は、チップ底面30の切断となる。この時点で、チップ天面29は、さらに後から切断される半導体発光素子のチップ底面30と分離していない状態となり、大きな面積でダイシングブレード45からの力を受けることができ、半導体発光素子24bのチップ底面30は半導体発光素子24aのチップ天面29よりも粗度を小さくすることができる。

【0028】図6では、ダイシングブレード45でダイシングラインの全部を切断するフルダイシングについて説明しているけれども、ダイシングラインの全部を切断せずに、図5のステップs6でスクラップを行い、残りの部分を折曲げて切断するような場合であっても最後に切断する面の粗度は他の切断面に比較して大きくなるので、本発明を同様に適用することができる。また、発光光を取出す面がチップ天面29ではなく、側面31、32などとなる場合であっても、そのような側面31、32の切断を最後に行うようにすれば、本発明を同様に適用することができる。また、薄形化を目的とせず、単に表面実装を行うために横置型を採用する場合であっても、本発明を同様に適用することができる。

【0029】本発明によって、従来問題となっている切断面の粗さによる見栄えや光学的特性のばらつきを解消することができ、さらに取出し効率の向上によって光度

も向上させることができる。

【0030】

【発明の効果】以上のように本発明によれば、発光出力を取出す切断面の粗度を他の切断面よりも大きくしておくので、発光出力が半導体発光素子内部での減衰が少ない状態で外部に取出すことができ、発光効率を高めることができる。

【0031】また本発明によれば、半導体発光素子を表面実装し、天面から効率よく発光出力を取出すことができる。

【0032】また本発明によれば、表面実装される際に薄形化を図り、効率よく発光出力を取出すことができる。

【0033】さらに本発明によれば、ウエハ状の半導体材料から個々の半導体発光素子を分離する際に、切断する順序を、発光出力を取出す面が最後となるようにするだけで、発光効率の良好な半導体発光素子を製造することができる。

【0034】また本発明によれば、ウエハ状の半導体材料から、複数の半導体発光素子を、発光効率の良好な状態で効率よく製造することができる。

【図面の簡単な説明】

【図1】本発明の実施の一形態の実装状態を示す簡略化した断面図である。

【図2】図1のチップ天面29の部分での発光光28の反射状態を示す部分的な断面図である。

【図3】図1の実施形態の半導体発光素子24のアセンブリ状態を示す斜視図である。

* 【図4】図1の半導体発光素子24をウエハ40から分離するためのダイシングライン41、42を示す簡略化した平面図である。

【図5】図1の実施形態の半導体発光素子24を製造する工程を示すフローチャートである。

【図6】図2の後に切断を行うダイシングライン42を切断する状態を示す部分的な断面図である。

【図7】従来からの縦置型の半導体発光素子の実装状態を示す簡略化した断面図である。

10 【図8】従来からの横置型の半導体発光素子の実装状態を示す簡略化した断面図である。

【符号の説明】

21 表面実装基板

22 導電パターン

23 導電ペースト

24, 24a, 24b 半導体発光素子

25, 26 電極

27 PN接合面

28 発光光

29 チップ天面

30 チップ底面

40 ウエハ

41 先に切断を行うダイシングライン

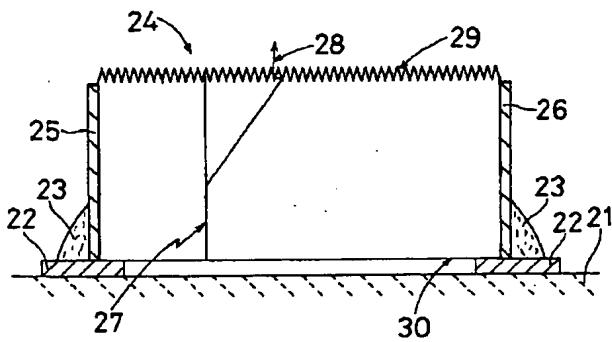
42 後に切断を行うダイシングライン

43 切断順序

44 粘着シート

45 ダイシングブレード

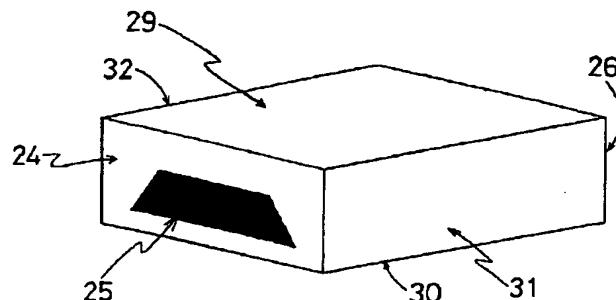
【図1】



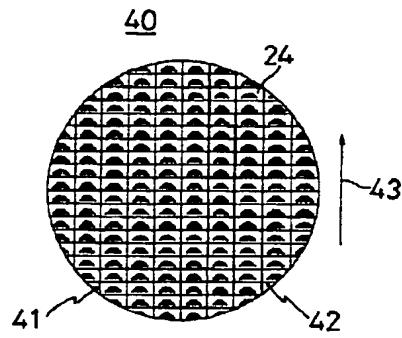
【図2】



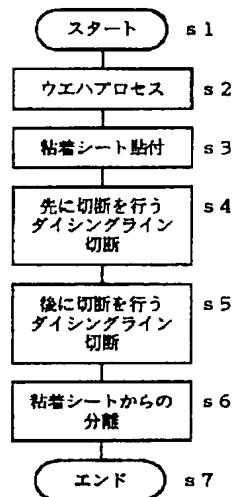
【図3】



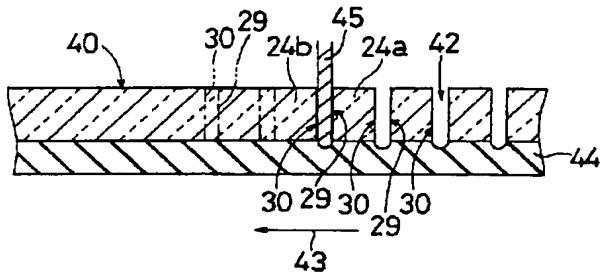
【図4】



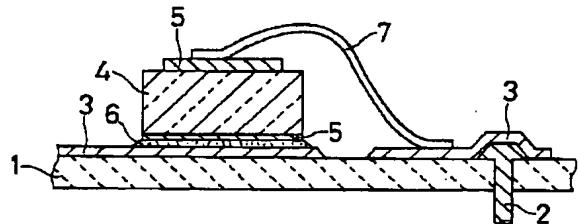
【図5】



【図6】



【図7】



【図8】

